

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 24 日  
Application Date

申請案號：092120215  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 28 日  
Issue Date

發文字號：09220865880  
Serial No.

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

具高硬體使用率之可重新組態裝置

Reconfigurable apparatus with high hardware efficiency

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

Industrial Technology Research Institute

代表人：(中文/英文) 翁政義 / Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段一九五號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu

國 籍：(中文/英文) 中華民國 / R.O.C.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 陳立勳 / Li-Hsun Chen

2. 陳自強 / Oscal T.-C. Chen

3. 王騰毅 / Teng Yi Wang

4. 馬瑞良 / Ruey-Liang Ma

住居所地址：(中文/英文)

1. 台南縣柳營鄉建業路 379 巷 28 號  
No. 28, Lane 379, Chien-Yeh Rd., Liu Ying Sghiang, Tainan Hsien
2. 台北縣永和市得和路 330 號 4 樓  
4Fl., No. 330, Dehe Rd., Yunghe City, Taipei County
3. 台南縣善化鎮大信路 18-2 號  
No. 18-2, Dashin St., Shanhua Jen, Tainan County
4. 宜蘭縣羅東鎮純精路 316 巷 11-2 號  
No. 11-2, Lane 316, Chuenjing S. Rd., Luodung Jen, Ilan County

國 籍：(中文/英文) 1.2.3.4. 中華民國 / R.O.C.

## 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 無

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 伍、中文發明摘要：

本發明係有關於一種具高硬體使用率之可重新組態裝置，其包含：至少一可重新組態單元，該至少一可重新組態單元具有複數基本組態單元與連接該等基本組態單元之至少一轉換線路，該至少一可重新組態單元接收至少一組態訊號，並依據該至少一組態訊號動態地改變該等基本組態單元與轉換線路，以成為至少一功能運算單元。

## 陸、英文發明摘要：

A reconfigurable device with high-efficiency computing is disclosed, which comprises at least one reconfigurable unit that has a plurality of processing units and at least one switch box connected with the processing units. The reconfigurable unit receives at least one reconfigurable signal to configure the processing units and the switch box dynamically for providing a new function unit.

## 柒、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件代表符號簡單說明：

10 控制單元

12 儲存單元

14 執行單元

16 可重新組態單元

18 功能運算單元

5 捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係一種兼具細粒子（Fine Grain）架構與粗粒子（Coarse Grain）架構之優點的高硬體使用率之可重新組態裝置，可應用於可重新組態處理器或系統。

### 【先前技術】

在一般執行運算的架構中，係區分為可程式化處理器（Programmable Processor）與特殊應用積體電路（Application Specific Integrated Circuit, ASIC）兩種。可程式化處理器係透過執行指令的方式來進行演算法的運算，並使用指令的組合來執行各種運算，故具有最大的運算彈性，但其運算效能受限於處理器所設計之指令集、暫存器與匯流排的數目、資料定址模式等硬體設計因素。ASIC 是針對某一特定運算所進行的硬體架構設計，故具有較高運算效能，但由於 ASIC 具有固定的連接線路與電路組成方式，因此其運算彈性將受到限制。

可重新組態處理器（Reconfigurable Processor）係針對可程式化處理器加以改善，其具有可重新組態運算機制，以針對其所執行之運算來動態地改變其硬體組成方式，進而提高運算效能，由於其具有可重新組態特性，故可解決 ASIC 之運算彈性受限之問題。

可重新組態處理器依據可重新組態單元之基本元件的硬體組成方式，可區分為細粒子（Fine Grain）架構與粗粒

子 (Coarse Grain) 架構，以下將分別敘述此兩種架構的特性。

Fine Grain 架構可控制每一位元或二位元的邏輯電路與連接線路的操作方式，進而以此一位元與二位元之電路組成具有各種不同功能操作之運算單元，例如：FPGA。然而，數位訊號處理運算之資料則大多為 8、16 或 32 位元等，其每個位元的邏輯開組態方式也將相同，亦即其資料運算方式是以數個位元的資料表示法為主，而非為單一位元的資料運算，故若以單一位元的方式來進行架構之組態，Fine Grain 之組態訊號、控制電路以及連接線路的複雜度將隨之增加，因此若以 Fine Grain 架構來執行數位訊號處理運算將會提高其硬體複雜度。

Coarse Grain 架構是以提高運算效能為設計的主要考量，其特色是以一個資料處理單元為其單一基本處理元件 (Processing Element; PE) 以及利用平行化處理方式 (例如：SIMD、MIMD 或 VLIW) 來提高運算效能，其中資料處理元件可包括：運算單元、暫存器或資料記憶體等，運算單元可執行算術邏輯運算、加減法運算、乘法運算與移位運算等基本指令操作。但 Coarse Grain 架構每次操作僅能利用 PE 所包含之其中一種硬體執行某一種運算，例如：當一 PE 利用算數邏輯單元 (ALU) 執行某一運算時，其用以執行其他運算的硬體 (例如：乘法器) 將被閒置，而無法充分運用此 PE 的硬體資源，導致此 PE 內部硬體使用率偏低。此外，由於上述二種傳統架構為一固定的可重新組態之硬體電



路，具有固定的基本處理元件與連接線路，因此無法充分應用於各種不同運算功能的系統中。因此本發明提出一種具高硬體使用率之可重新組態裝置，可依本發明裝置之應用需求的演算法所需功能來動態重新組態，俾能配置較少的硬體而達到較高的運算效能。

### 【發明內容】

本發明之可重新組態裝置至少包含：至少一可重新組態單元，該至少一可重新組態單元具有複數基本組態單元與連接該等基本組態單元之至少一轉換線路，該至少一可重新組態單元接收至少一組態訊號，並依據該至少一組態訊號動態地改變該等基本組態單元與轉換線路，使成為至少一功能運算單元。轉換線路則包含至少一連接線路，用以傳送這些基本組態單元的運算資料。

當本發明裝置的可重新組態單元為複數個時，這些可重新組態單元可以是具有同質性都是相同組態單元，亦可以為異質性彼此不相同，或是為混合型。

在本發明裝置之可重新組態單元一實施例中，主要是以一個可執行4位元(或4位元以上)之基本處理元件為一基本組態單元，且此基本處理元件可具有單獨執行之運算能力。此外，這些基本處理元件可具不同運算功能，也可具相同運算功能，或是至少有一基本處理元件與其他基本處理元件具不同運算功能。在基本處理元件的設計上，首先、設計或選取出具較高硬體相似度的功能運算單元，並以這些功能運算

單元內部之具相同硬體組成的電路區塊為此基本處理元件之主體架構，再配置一些可改變此基本處理元件之組態操作的電路，以完成此基本處理元件之設計。根據此一設計方式，這些基本處理元件可組態成各種功能運算單元，且因為

5 這些功能運算單元在架構上具有較高的硬體相似度，因此將可進一步簡化基本處理元件內之用來改變組態操作之電路，並進而降低整體之可重新組態單元的硬體複雜度。

在本發明裝置之可重新組態單元另一實施例中，是以基本運算單元為基本組態單元，這些基本運算單元可為算術邏輯單元、乘加單元或乘法單元等等。其組態操作方式可將至少一基本運算單元組合成一功能運算單元，以提高運算速度。另外，我們亦可選取一基本運算單元的部份內部硬體電路以及其他至少一基本運算單元的部份或全部內部電路，復

10 連接成為一功能運算單元。如此可根據本發明裝置之應用需求的演算法所需之功能的特性，來改變此可重新組態單元內之基本運算單元的配置方式，以提高該演算法的執行效能。不但可減少基本運算單元之內部硬體電路的被閒置機會，進而又可提高硬體的被使用率。

15

## 20 【實施方式】

圖 1 顯示本發明之具高硬體使用率之可重新組態裝置一實施例的功能方塊示意圖，其中，控制單元 10 可用來擷取指令，並將其進行解碼操作，儲存單元 12 用來儲存指令、組態訊號與運算資料，執行單元 14 可配置至少一個可重新

組態單元 16，亦或可根據使用者需求，再配置一些不具重新組態操作特性的功能運算單元 18。

在下面段落中，我們將從本發明之可重新組態單元兩個實施例來進行說明，並由實施例之設計方法與硬體架構兩方面來解釋本發明的可重新組態單元。

### 實施例一

在可重新組態單元一實施例中。主要是以一個可執行4位元(或4位元以上)之基本處理元件(PE)為一基本組態單元。請參考圖 2a、2b，可重新組態單元是由數個一、二或多維的基本處理元件(PE)與轉換線路組成，每個基本處理元件可執行4位元(或以上)的算術或邏輯運算，轉換線路則用於傳送基本處理元件間的運算資料，其具有至少一多工器或資料匯流排所形成的連接線路(圖未顯示)，以使其可將複數個基本處理元件連結成至少一個功能運算單元。

### 設計方法

在設計方法上，為了提高可重新組態單元的硬體使用率，將使用如下的方式來進行設計：從應用所需的演算法著手，選取或設計出具最高硬體相似度的功能運算單元，並以這些功能運算單元內部之具相同硬體組成的電路區塊為此可重新組態單元之基本處理元件的主要架構。以一個二維之4x4的PE陣列為例，圖 2a與圖 2b為其兩種不同的組態方式。其中，因為基本處理元件需同時具有可執行功能運算單元a(FUa)及功能運算單元b(FUb)運算的硬體特性，以便進行組態模式的轉換，所以其基本處理元件除了需具備可執行FUa

及FUb之硬體電路外，其內部還有用來改變組態操作的控制或邏輯電路(圖未顯示)，而這些電路的複雜度係決定於FUa及FUb的硬體相似度；若此兩個功能運算單元(FUa及FUb)的硬體相似度越高，則用來改變組態操作的電路複雜度可越低，進而可減少整體可重新組態單元的硬體成本。此外，此可重新組態單元除了可組合數個基本處理元件以成為一個功能運算單元來執行操作外，其每個基本處理元件也可單獨執行操作。

### 硬體架構

10 在實施例一之硬體架構方面，如圖3所示，其係為一個8X8的二維基本處理元件陣列，該陣列包含複數基本處理元件321,322、複數轉換線路324以及複數栓鎖器325。其中，每一列之基本處理元件321（例如：第一列之該等基本處理元件（PE1）321）皆相同，且資料傳遞係由上往下，每一列  
15 基本處理元件321為一個管線階段(Pipeline Stage)，以加速執行效能與提高硬體使用率。由於在一般運算中，以加法與乘法運算為主，所以在此實施例中，將以加法器與乘法器為主要的組態轉換模式。在加法器方面，將使用進位選擇加法器(Carry Select Adder)，其32位元的進位選擇加法器如圖4  
20 所示，係包含複數個8位元的連波加法器(Ripple Adder)41,42,43,44,45,46,47 以及複數個多工器481,482,483。而乘法器則使用陣列乘法器，一個8位元的陣列乘法器(Array Multiplier)如圖5所示，係由複數個8位元的連波加法器51所組成，其中， $P_{[0\sim7]}[0\sim7]$ 為運算資料， $out[0\sim15]$

為運算結果。由圖4與圖5可知，此兩個運算單元皆使用了七個8位元的連波加法器，所以此兩個運算單元具有最高的硬體相似度。

根據以上說明，此可重新組態單元之基本處理元件將以

5 兩個8位元的連波加法器為主，其可執行如下的組態操作：

(1) 可組合同一列之四個基本處理元件，使其可成為一個具有8位元 $\times$ 8位元陣列乘法操作之功能運算單元；(2) 可組合同一列之四個、三個、或兩個基本處理元件，使其可成為一個可執行32位元、24位元或16位元進位選擇加法操作之功能運算單元；(3) 單一基本處理元件可成為一個可執行8

10 位元加法操作之功能運算單元；(4) 可組合上述之四個8位元 $\times$ 8位元陣列乘法器、兩個24位元進位選擇加法器與一個32位元進位選擇加法器之功能運算單元，使其成為一個可執行16位元 $\times$ 16位元乘法操作之功能運算單元。由於一個16位

15 元 $\times$ 16位元乘法功能運算單元可分解為四個8位元 $\times$ 8位元乘法運算，所以此四個8位元 $\times$ 8位元陣列乘法器主要是用來執行此四個8位元 $\times$ 8位元乘法運算，而兩個24位元進位選擇加法器與一個32位元進位選擇加法器則可將此四個8位元 $\times$ 8位元陣列乘法器的結果值進行相加。此外，由於8位元 $\times$ 8位元

20 陣列乘法運算主要在於此可重新組態單元的前四列基本處理元件321(圖3之PE1)，因此其後四列基本處理元件322將可僅執行加法運算(圖3之PE2)，以減少硬體成本。

此外，在轉換線路的設計上，亦將根據上述之組態操作來進行設計，使其可傳送基本處理元件間的運算資料，以將至少一個基本處理元件組成至少一個功能運算單元。

此可重新組態單元可將其基本處理元件進行組合，以成為8、16、24與32位元的進位選擇加法器及8位元×8位元的陣列乘法器等功能運算單元，並使用四個8位元×8位元的陣列乘法器與三個進位選擇加法器組合成一個可執行16位元×16位元乘法操作之功能運算單元。由於進位選擇加法器與陣列乘法器間具有最高的硬體相似度，因此可在配置較少的轉換電路下將基本處理元件設計成可同時執行進位選擇加法器與陣列乘法器的電路。

### **實施例二**

在另一可重新組態單元實施例中，主要是以基本運算單元為一基本組態單元，這些基本運算單元可選自一算術邏輯單元、乘法單元、乘加單元、暫存器(registers)或記憶體(memory)等族群，而轉換線路則是用以傳送這些基本運算單元間的運算資料，其具有以至少一多工器或資料匯流排所形成的連接線路，將至少一基本運算單元組合成一功能運算單元，以提高運算速度。另外，我們亦可使用轉換線路將一基本運算單元的部份內部硬體電路與其他至少一基本運算單元的部份或全部內部電路進行連接，使其成為其他功能運算單元。

### **設計方法**

設計方法上，主要是在處理器現有已配置之功能運算單元中，探討每個現有已配置之功能運算單元的內部硬體電路之特性，並進行不同的現有已配置之功能運算單元間之內部硬體電路的線路連接設計成至少一基本運算單元，依此方式所設計之架構則為一可重新組態單元。此設計方式可使這些基本運算單元能進行組合或分解之重新組態操作，以配合演算法來改變其硬體的配置方式，進而提高運算效能。

此外，由於此組態方式可將基本運算單元內之被閒置的硬體電路與其他基本運算單元內部之硬體電路再進行組合，以成為一個功能運算單元來執行運算，所以此組態方式亦可進一步提高硬體的被使用率。以圖6a、6b為例，若可重新組態單元配置了基本運算單元a(FUa)、基本運算單元b(FUb)與基本運算單元c(FUc)三個基本運算單元，則可將此三個基本運算單元組合成一個功能運算單元d(FUd)，如圖6a所示。亦可將不同基本運算單元之內部硬體電路再進行連結，以將此三個基本運算單元分解並重組成五個功能運算單元，如圖6b所示。其中，圖6a、6b中的圓圈代表基本運算單元的內部硬體電路。

#### 硬體架構

在實施例二之硬體架構方面，如圖7所示，此可重新組態單元內部具有五個算術邏輯單元(ALU)711,712,713,714,715與一個乘法器72之基本運算單元。其中，在ALU方面，ALU 1、ALU 2、ALU 3與ALU 4可執行40位元的算術運算、32位元的邏輯運算與移位運算，

其中，算術運算包括加減法運算與絕對值運算等，而其加減法操作之較高8位元運算為保護位元(guard bit)，ALU 5則可執行32位元算術運算、邏輯運算與移位運算。在乘法器72方面，可執行一個32位元 $\times$ 16位元的乘法運算、兩個16位元  
5  $\times$ 16位元的乘法運算、四個8位元 $\times$ 8位元的乘法運算、以及數種內積運算等多種指令的操作，其架構可區分為三個部分，分別為八個8位元 $\times$ 8位元乘法器721、一個可執行八個16位元數值相加操作的進位節省加法器(carry save adder) 722與兩個32位元的進位傳遞加法器(carry propagation adder, CPA)  
10 723,724，其中，進位節省加法器722與CPA 723,724主要將八個8位元 $\times$ 8位元乘法器721的結果值進行相加，以組合成一個32位元 $\times$ 16位元的乘法器或兩個16位元 $\times$ 16位元的乘法器。

此可重新組態單元除了可執行一般的算術、邏輯或移位運算外，還可透過多工器74所構成之轉換線路將此五個基本  
15 運算單元進行如下之組態操作：(1)可組合ALU 1、ALU 2、ALU 3與ALU 4內部的算術單元7111,7121,7131,7141及乘法器72，使其成為一個可執行16筆8位元資料的位移估算(motion estimation)之功能運算單元。(2)可連結ALU 1、ALU 2、ALU 3、ALU 4與ALU 5內部的算術單元  
20 7111,7121,7131,7141,7151及乘法器內部的一個CPA 723，使其成為一個可執行16位元 $\times$ 16位元乘法操作的功能運算單元。

當執行組態操作(1)時，將產生一個可執行16筆8位元資料的位移估算(motion estimation)功能運算單元。此位移



估算運算主要是執行16筆8位元數值的相減取絕對值運算，並將其16筆結果值進行相加，再與一筆32位元的數值進行累加，圖8為此組態操作所產生之位移估算(motion estimation)功能運算單元的資料運算路徑。其中，ALU 1、ALU 2、ALU 3與ALU 4內部的算術單元81,82,83,84將分別組態成可執行四筆8位元數值的相減取絕對值運算之電路，因此四個算術單元81,82,83,84將共產生16筆8位元的數值。再利用乘法器85具有多個數值相加的特性，將此16筆8位元的數值進行相加，並與一筆32位元的數值進行累加。

10 當執行組態操作(2)時，將產生一個可執行16位元 $\times$ 16位元乘法操作之功能運算單元，此乘法功能運算單元的架構主要由四個8位元 $\times$ 8位元的陣列乘法器、一個可執行四個16位元數值相加操作的進位節省加法器與一個32位元的進位傳遞加法器(CPA)組成，其中進位節省加法器(carry save adder)可將四個8位元 $\times$ 8位元的陣列乘法器的結果值進行相加，以產生進位(carry)與加總(sum)之值，而CPA則是用來將carry與sum進行相加以完成此乘法運算。

圖9為此組態操作所產生之16位元 $\times$ 16位元乘法操作之功能運算單元的資料運算路徑。其中，ALU 1、ALU 2、ALU 3與ALU 4內部之算術單元91,92,93,94將轉換成四個8位元 $\times$ 8位元的陣列乘法器。由於此四個基本運算單元91,92,93,94內部的加法器使用了進位選擇加法器，因此當進行此組態操作時，可將其內部之32位元的進位選擇加法器轉換成一個8位元 $\times$ 8位元的陣列乘法器。而且，由圖4與圖5可知，32位元

進位選擇加法器與8位元×8位元的陣列乘法器具有最高的硬體相似度，所以此基本運算單元可在配置較少的轉換電路下完成此組態操作。ALU 5內部的算術單元95則將轉換成可執行四個16位元數值相加操作的進位節省加法器(carry save adder)之電路，以將ALU 1、ALU 2、ALU 3與ALU 4內之算術單元91,92,93,94所產生的四個8位元×8位元的陣列乘法器之結果值進行相加，進而產生carry與sum二值。最後，將使用乘法器內部的一個32位元CPA 96來執行ALU 5之算術單元所產生的carry與sum的相加操作，以完成此可執行16位元×16位元乘法操作之功能運算單元。此外，此組態操作所產生之功能運算單元具有獨立的硬體電路與資料匯流排，所以當執行此組態操作時，可重新組態單元內之ALU 1、ALU 2、ALU 3、ALU 4與ALU 5亦可同時執行邏輯與移位操作，而乘法器亦可同時執行部分的乘法操作。

由此實施例二可知，此可重新組態單元可配合演算法的特性，以藉由組態操作來改變其基本運算單元的配置方式，使其可提高此演算法的運算效能。例如：若此演算法需要較多的乘法運算，則可組態成具有較多乘法器之架構。反之，若此演算法需要較多算術邏輯運算，則可組態成較多ALU的架構。而且，亦可將多個基本運算單元組合成一個可執行特殊應用的功能運算單元，以加速演算法的執行。此外，由於其組態操作可連結不同基本運算單元間的內部硬體電路，以使其再組成各種的功能運算單元，因此可減少其內部硬體電路的被閒置機會，進而提高此架構的硬體使用率。

本發明說明書內所揭露之實施例，僅係用來例舉說明本發明，而任何熟習此技藝者，在參考本發明所揭露內容後，當可輕易產出他種可能實施方式，因此本發明之精神和範圍當視後附之申請專利範圍所界定者為準。

5

### 【圖式簡單說明】

圖1係本發明之可重新組態裝置一實施例的功能方塊示意圖。

10 圖2a係本發明之可重新組態單元實施例一之一種組態操作範例的示意圖。

圖2b係本發明之可重新組態單元實施例一之另一種組態操作範例的示意圖。

圖3係本發明之可重新組態單元之實施例一的架構示意圖。

15 圖4係本發明之實施例所使用之32位元進位選擇加法器的架構示意圖。

圖5係本發明之實施例所使用之8位元×8位元陣列乘法器的架構示意圖。

圖6a係本發明之可重新組態單元實施例二之一種組態操作範例的示意圖。

20 圖6b係本發明之可重新組態單元實施例二之另一種組態操作範例的示意圖。

圖7係本發明之可重新組態單元之實施例二的架構示意圖。

圖8係本發明之可重新組態單元之實施例二的一種組態操作的資料運算流程示意圖。

圖9係本發明之可重新組態單元之實施例二的另一種組態操作的資料運算流程示意圖。

【圖號說明】

|          |  |              |              |
|----------|--|--------------|--------------|
| 控制單元     | 10 ;   | 儲存單元         | 12 ;         |
| 執行單元     | 14 ;   | 可重新組態單元      | 16 ;         |
| 功能運算單元   | 18 ;   | 基本處理元件       | 321,322 ;    |
| 轉換線路     | 324 ;  | 拴鎖器          | 325 ;        |
| 八位元連波加法器 | 41,42,43,44,45,46,47,51 ;                                |              |              |
| 多工器      | 481,482,483,74 ;   |              |              |
| 算術邏輯單元   | 711,712,713,714,715 ;                                    |              |              |
| 算術單元     | 7111,7121,7131,7141,7151,81,82,83,84,85,91,92,93,94,95 ; |              |              |
| 乘法器      | 72,85 ;  | 八個8位元x8位元乘法器 | 721 ;        |
| 進位節省加法器  | 722 ;  | 進位傳遞加法器      | 723,724,96 ; |
| 暫存器      | 73 ;   | 基本/功能運算單元    | FU ;         |
| 運算資料     | $P_{[0\sim7]}[0\sim7]$ ;                                 | 運算結果         | Out[0~15]    |

## 拾、申請專利範圍：

1. 一種具高硬體使用率之可重新組態裝置，至少包括：

至少一可重新組態單元，係具有複數基本組態單元與複數連接該等基本組態單元之轉換線路，該至少一可重新組態單元接收至少一組態訊號，並依據該至少一組態訊號動態地改變該等基本組態單元與轉換線路，以成為至少一功能運算單元。

2. 如申請專利範圍第1項所述之可重新組態裝置，其中之可重新組態單元，係具有同質性都是相同組態單元，或係具異質性彼此不相同，或係混合型。

3. 如申請專利範圍第1項所述之可重新組態裝置，其中之轉換線路包括：至少一連接線路以傳送該等基本組態單元間的運算資料。

4. 如申請專利範圍第3項所述之可重新組態裝置，其中之連接線路係多工器或資料匯流排。

5. 如申請專利範圍第1項所述之可重新組態裝置，其中之基本組態單元係一具有單獨執行運算能力之基本處理元件（Processing Element，PE）。

6. 如申請專利範圍第5項所述之可重新組態裝置，其中之基本處理元件係用以執行至少4位元的算術或邏輯操作。

7. 如申請專利範圍第5項所述之可重新組態裝置，其中，係以應用該可重新組態裝置之處理器或系統中複數個功

能運算單元中，具相同硬體組成的內部電路區塊組成該等基本處理元件。

8. 如申請專利範圍第5項所述之可重新組態裝置，其中之基本處理元件彼此間係具不同運算功能。

5        9. 如申請專利範圍第7項所述之可重新組態裝置，其中之基本處理元件彼此間係具不同運算功能。

10. 如申請專利範圍第5項所述之可重新組態裝置，其中之基本處理元件係具相同運算功能。

10       11. 如申請專利範圍第7項所述之可重新組態裝置，其中之基本處理元件係具相同運算功能。

12. 如申請專利範圍第5項所述之可重新組態裝置，其中之基本處理元件，至少有一基本處理元件與其他基本處理元件具不同運算功能。

15       13. 如申請專利範圍第7項所述之可重新組態裝置，其中之基本處理元件，至少有一基本處理元件與其他基本處理元件具不同運算功能。

14. 如申請專利範圍第1項所述之可重新組態裝置，其中之基本組態單元係一基本運算單元。

20       15. 如申請專利範圍第14項所述之可重新組態裝置，其中之基本運算單元係選自：算術邏輯單元、乘法單元、乘加單元、暫存器或記憶體之族群。

16. 如申請專利範圍第14項所述之可重新組態裝置，其中之轉換線路，復用以連接該等基本運算單元的內部硬體電路。

17. 如申請專利範圍第 16 項所述之可重新組態裝置，其中，係選取一個基本運算單元的部份內部硬體電路以及其他至少一基本運算單元的部份或全部內部電路，使連接成為該等功能運算單元。

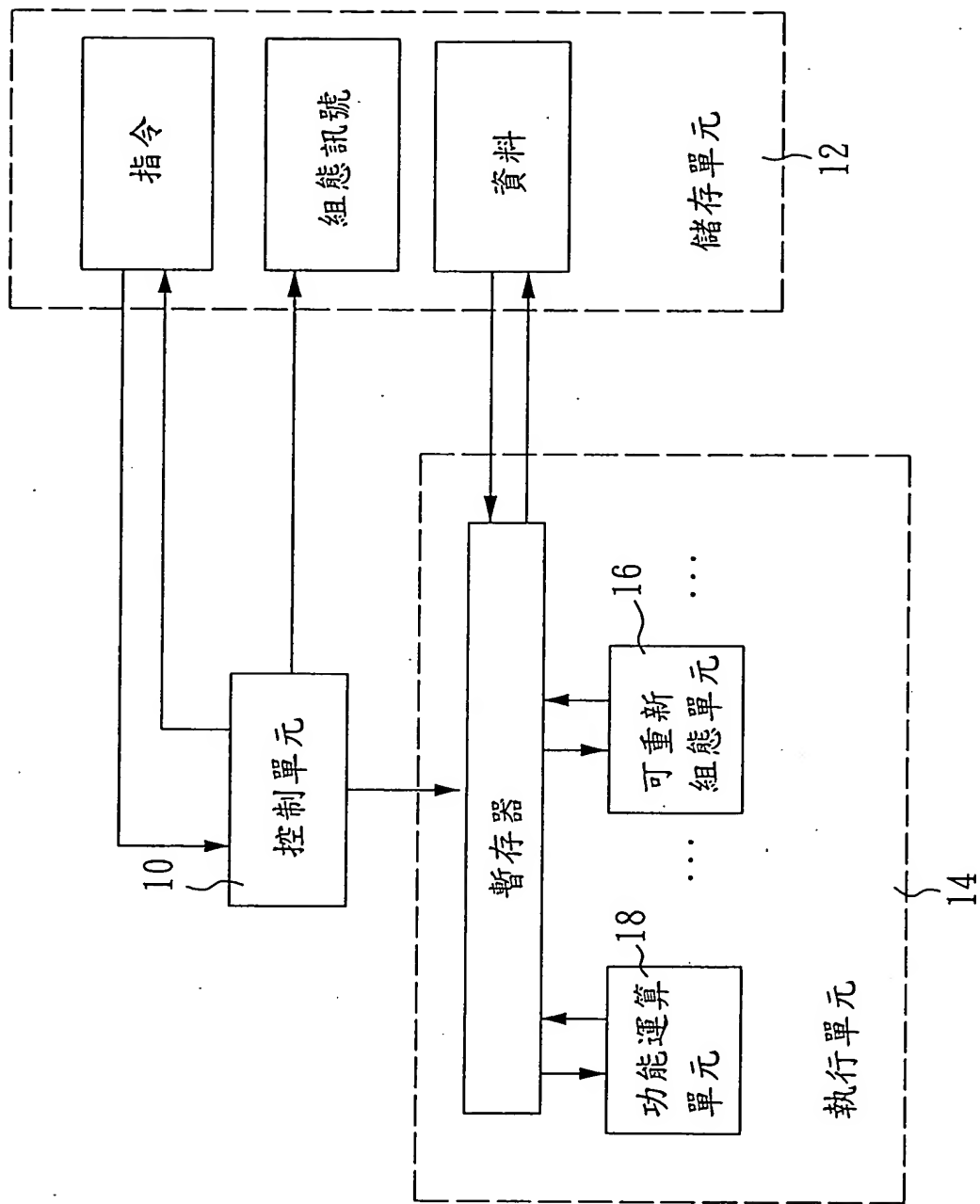
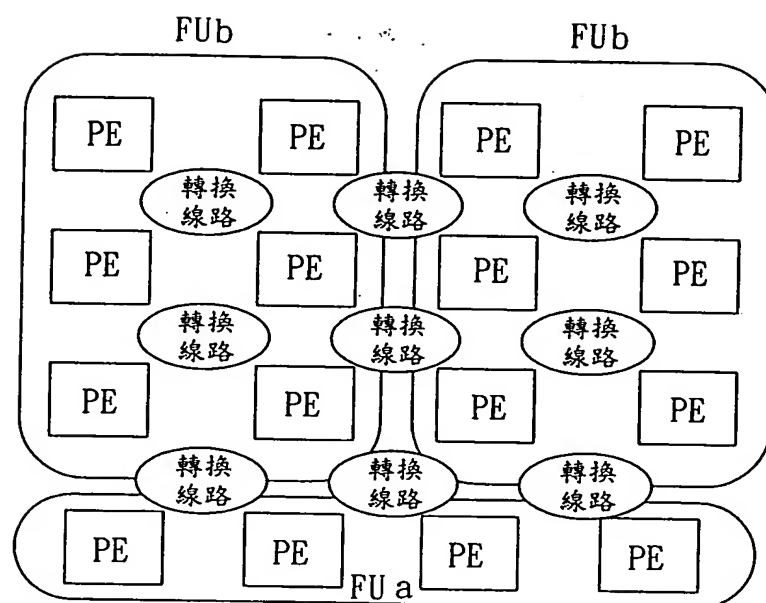


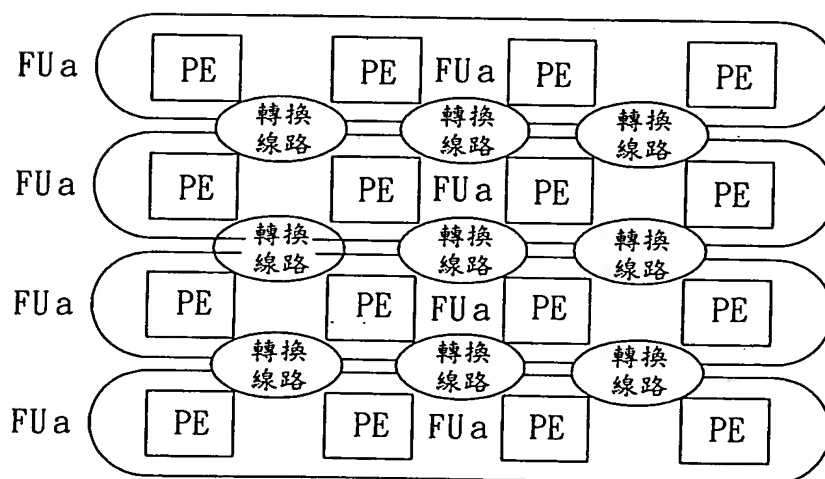
圖1





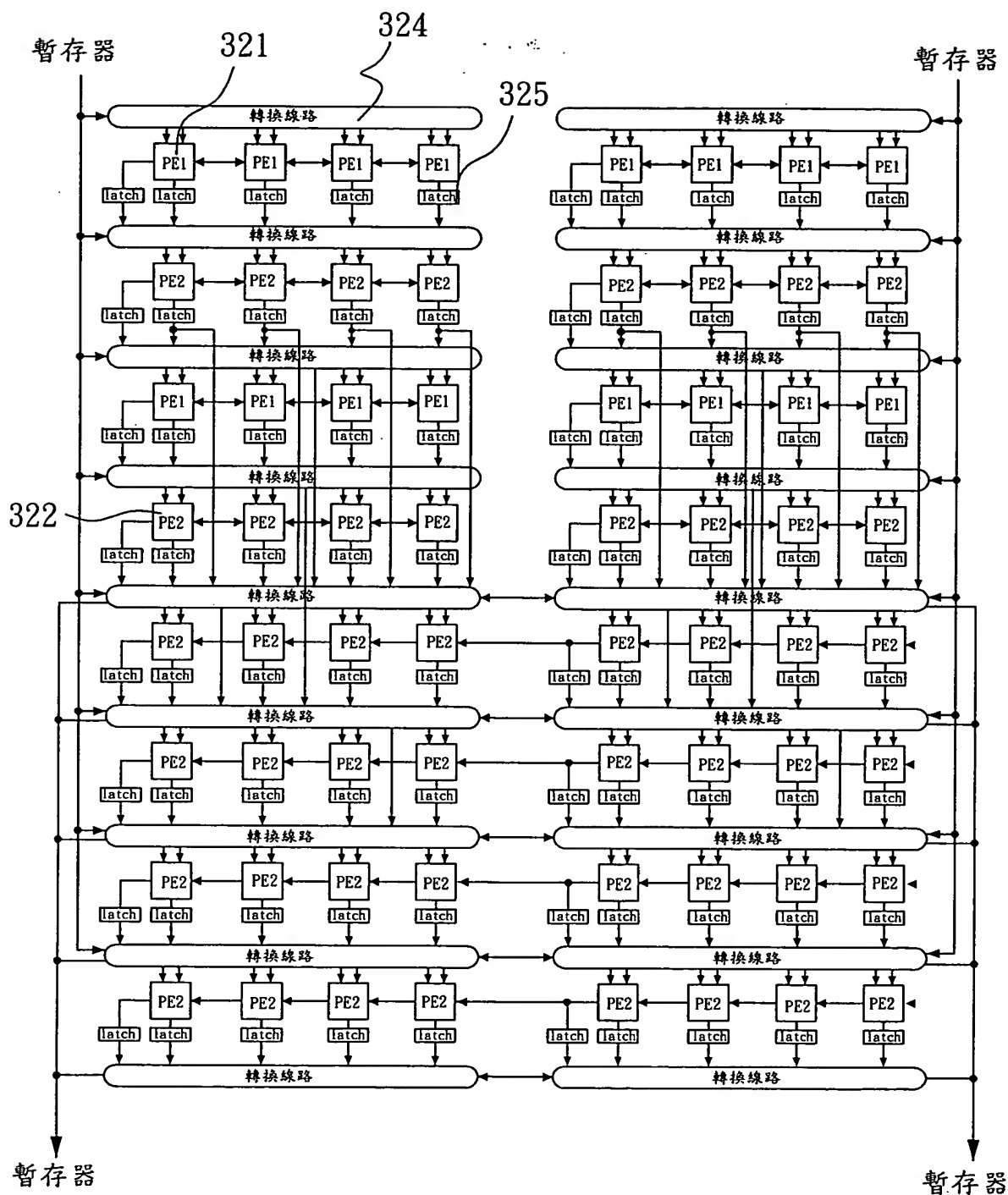
PE: 基本處理元件  
FU: 功能運算單元

圖 2a



PE: 基本處理元件  
FU: 功能運算單元

圖 2b



PE: 基本處理原件  
latch: 拴鎖器

圖 3

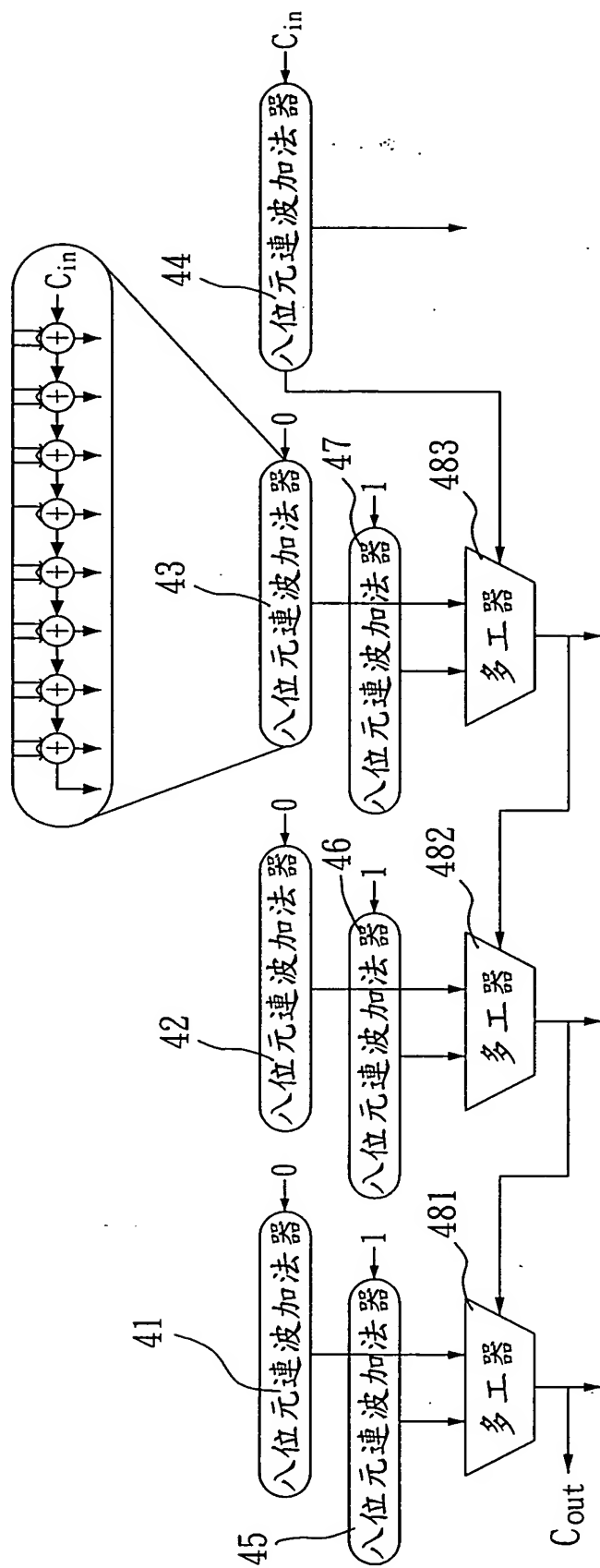
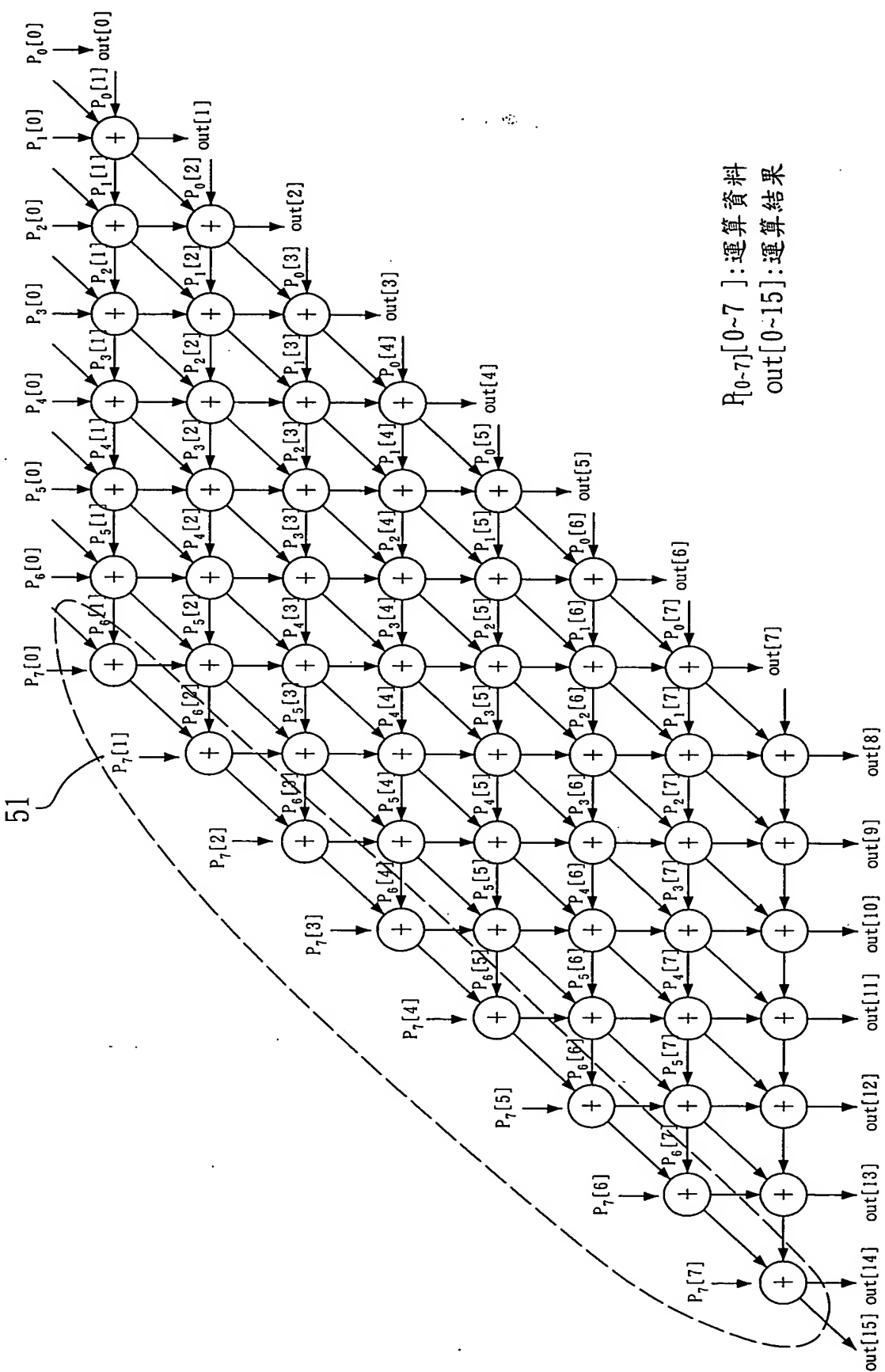
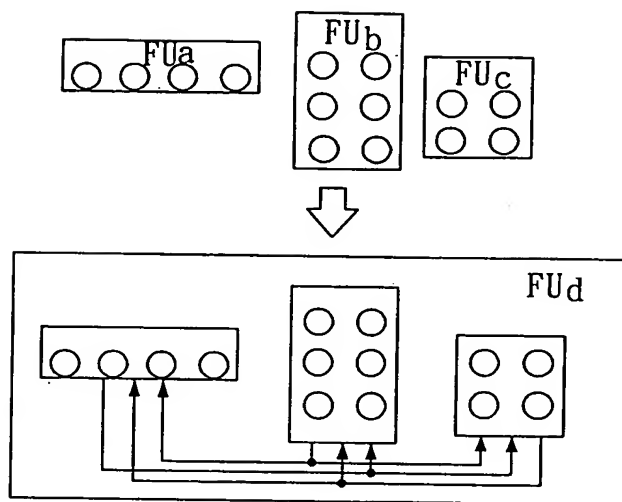


圖4



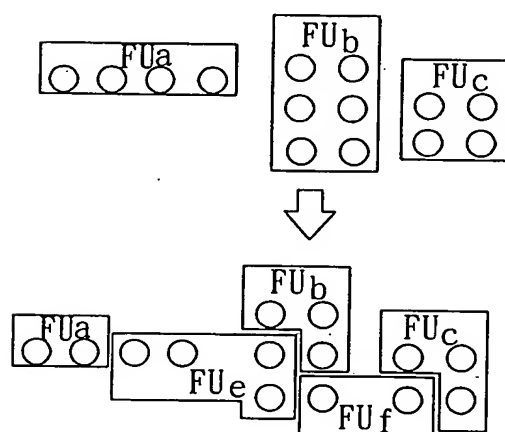
P<sub>0-7</sub>[0~7]: 運算資料  
out[0~15]: 運算結果

圖5



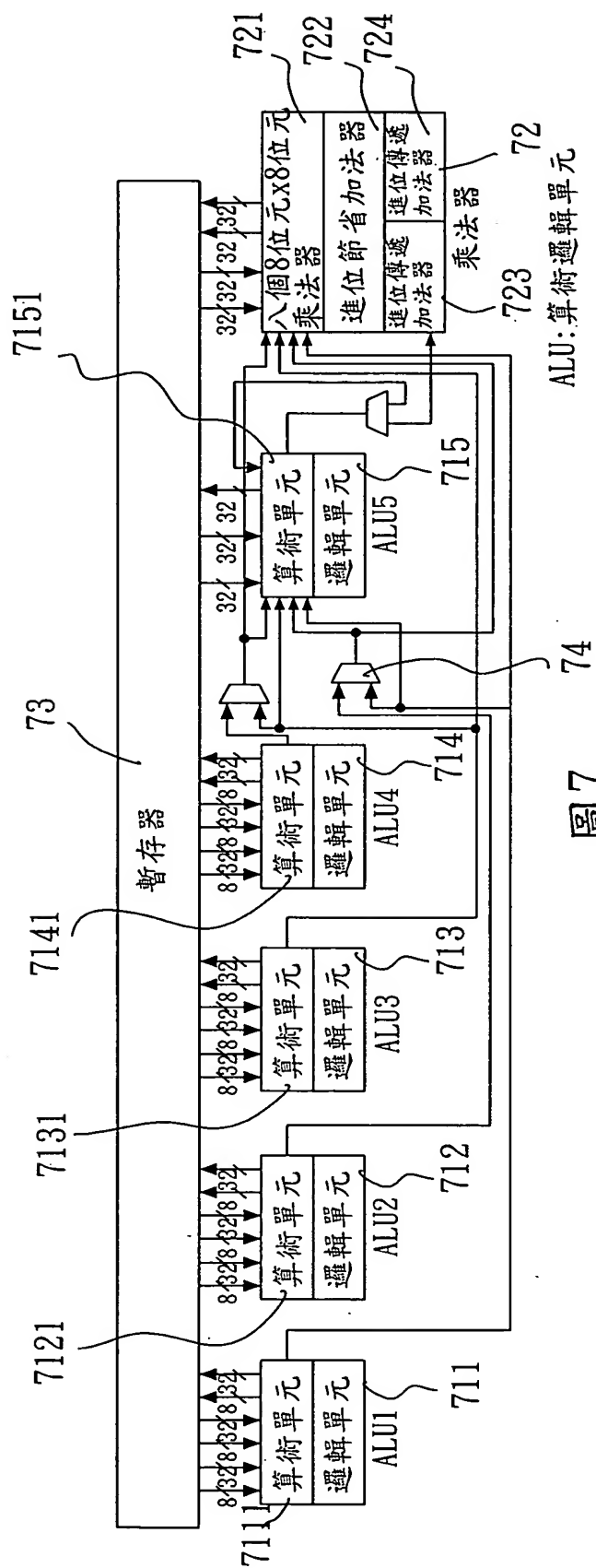
FU: 基本/功能運算單元

圖 6a



FU: 基本/功能運算單元

圖 6b



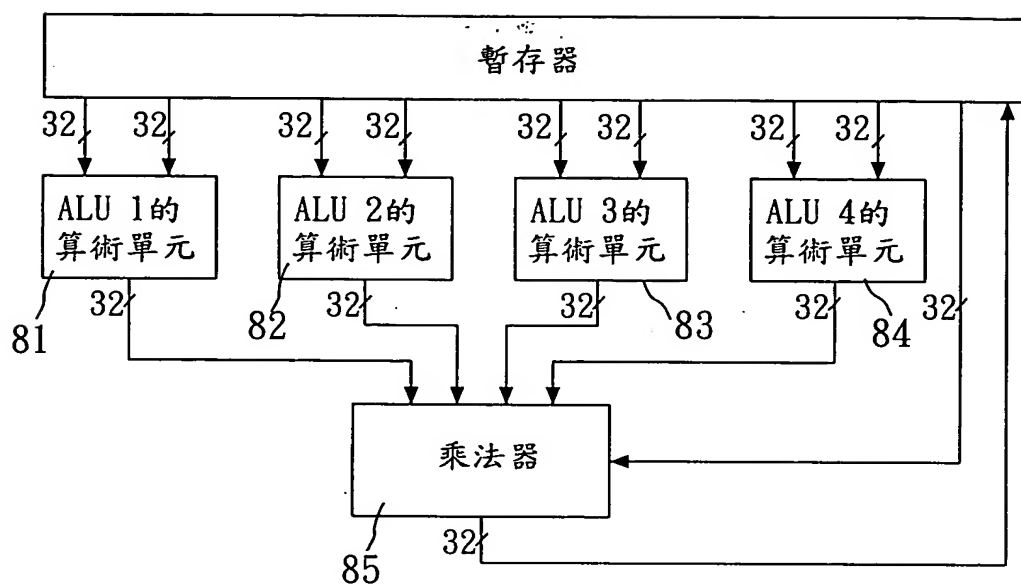


圖 8

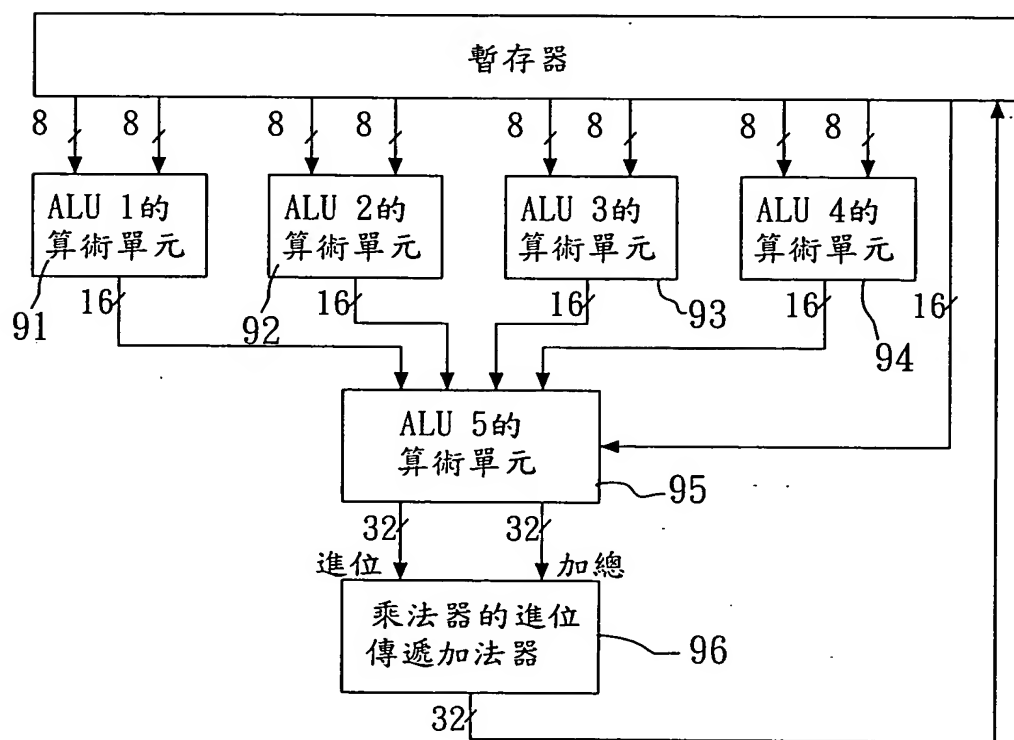


圖 9